

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

5/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

011352678 **Image available**
WPI Acc No: 1997-330584/199730
XRAM Acc No: C97-106150
XRPX Acc No: N97-274353

Semiconductor device with monolithically integrated high speed logic LSI and non volatile semiconductor memory e.g. EEPROM - in which thickness of tunnel oxide film of EEPROM is greater than or equal to thickness of gate oxide film of MOS transistor

Patent Assignee: TOSHIBA KK (TOKE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9135008	A	19970520	JP 95289572	A	19951108	199730 B

Priority Applications (No Type Date): JP 95289572 A 19951108

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9135008	A	8	H01L-027/115	

Abstract (Basic): JP 9135008 A

The device includes an EEPROM and a MOS transistor which are consolidated on the inside of a semiconductor substrate. Thickness (a) of the tunnel oxide film (106) of EEPROM is greater than or equal to a thickness (b) of the gate oxide film (110) of the MOS transistor.

ADVANTAGE - Realizes high densification of LSI. Maintains reliability and improves operation speed.

Dwg.1/9

Title Terms: SEMICONDUCTOR; DEVICE; MONOLITHIC; INTEGRATE; HIGH; SPEED; LOGIC; LSI; NON; VOLATILE; SEMICONDUCTOR; MEMORY; EEPROM; THICK; TUNNEL; OXIDE; FILM; EEPROM; GREATER; EQUAL; THICK; GATE; OXIDE; FILM; MOS; TRANSISTOR

Derwent Class: L03; U11; U12; U13; U14

International Patent Class (Main): H01L-027/115

International Patent Class (Additional): H01L-021/8247; H01L-029/788; H01L-029/792

File Segment: CPI; EPI

5/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

05520208 **Image available**
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 09-135008 JP 9135008 A]
PUBLISHED: May 20, 1997 (19970520)
INVENTOR(s): TAKEBUCHI MASATAKA
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 07-289572 [JP 95289572]
FILED: November 08, 1995 (19951108)
INTL CLASS: [6] H01L-027/115; H01L-021/8247; H01L-029/788; H01L-029/792
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R129 (ELECTRONIC MATERIALS -- Super High Density Integrated Circuits, LSI & GS

ABSTRACT

PROBLEM TO BE SOLVED: To realize the speedup of the high-speed logical LSI part of a memory cell and an increase in the density of the high-speed logical LSI part while the reliability of the memory cell is maintained by

a method wherein the film thickness of a second insulating film within the region, where the LSI part is formed, of the memory cell is formed thicker than that of a first insulating film within the region, where an EEPROM is formed, of the memory cell or is formed equal with that of the first insulating film.

SOLUTION: An EEPROM region and a high-speed logical LSI (CMOS) region is formed on a P-type semiconductor substrate 101. The film thickness (a) of a tunnel oxide film 106 within the EEPROM region and the film thickness (b) of a CMOS gate oxide film 110 of a high-speed logical LSI (CMOS) part, which is formed within the high-speed logical LSI (CMOS) region, are formed on a condition of $a \leq b$. In such a way, as the film thicknesses of the films 106 and 110 are designed so that the highest performance of a transistor of each of the films 106 and 110 is brought out, the operating speed of the LSI part of a memory cell is increased and moreover, the integration degree of the LSI part can be also increased while the reliability of the memory cell is maintained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-135008

(43) 公開日 平成9年(1997)5月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	27/115		H 0 1 L	27/10	4 3 4
	21/8247			29/78	3 7 1
	29/788				
	29/792				

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-289572

(22) 出願日 平成7年(1995)11月8日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹淵 政孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

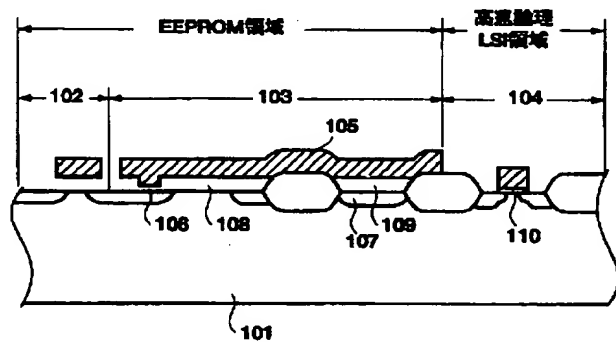
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 EEPROMと高速論理LSIを1チップに混載した半導体装置において、信頼性を維持しつつ、高速動作、微細化を実現する。

【解決手段】 メモリセルのトンネル酸化膜の膜厚 a 、高速論理CMOSのゲート酸化膜の膜厚 b の関係が、 $a \geq b$ となることを特徴とする半導体装置の構造を用いる。



1

【特許請求の範囲】

【請求項1】 半導体基板中上にEEPROMとMOSトランジスタを混載した半導体装置であって、前記EEPROMのトンネル酸化膜の膜厚 a と、前記MOSトランジスタのゲート酸化膜の膜厚 b とが

$$a \geq b$$

となることを特徴とした半導体装置。

【請求項2】 半導体基板中にEEPROMとMOSトランジスタを混載した半導体装置の製造方法であって、前記EEPROMのトンネル酸化膜の膜厚 a と、前記MOSトランジスタのゲート酸化膜の膜厚 b との関係を

$$a = b$$

となるようにして、前記EEPROMのトンネル酸化膜と前記MOSトランジスタのゲート酸化膜とを同時に形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項3】 前記EEPROMのトンネル酸化膜と前記MOSトランジスタのゲート酸化膜とを只1度の工程で形成することを特徴とした請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 高速論理LSIとトンネル現象を利用する不揮発性半導体記憶装置とを1チップ化した半導体装置に関するものである。

【0002】

【従来の技術】 電氣的に記憶情報の消去、再書き込みが可能な不揮発性メモリセルとしてEEPROM (electrically erasable and programmable ROM) が知られている。EEPROMはメモリに蓄えられた電荷により情報を記憶するが、書き込みや消去時の電荷の移動にはトンネル現象が利用され、基板上の薄いトンネル絶縁膜を介したトンネル電流によって、浮遊ゲートと電子のやりとりが行われる。図7は1層Poly構造のEEPROMと高速論理LSIとの1chip上に形成した半導体装置の断面図を示したものである。

【0003】 図7に示すように、1層Poly構造のEEPROMはメモリセルとして記憶トランジスタ702と選択トランジスタ703の計2つのトランジスタで構成されている。このうち記憶トランジスタ702は電子を浮遊ゲート706に蓄積／欠乏させることによりトランジスタの閾値をエンハンスメン(enhancement)とデプリーション(depletion)型に変化させる。上記2態の閾値を読み出すことでメモリセルの情報の有／無を判断することになる。一方、選択トランジスタ703は選択されたセルと選択されていないセルとの干渉を断ち切る為に使用されるもので、書き換え及び読み出し時に起こる干渉を遮断する。選択トランジスタ703を抜きに記憶トランジスタ702の動作を説明すると、書き込み時(電子の注入)はトンネル領域下拡散層707に0V、

2

制御ゲート708にVPPを印加することで浮遊ゲート706に電子が注入される。また、消去時(電子の放出)はこれと逆でトンネル領域下拡散層707にVPP、制御ゲート708に0Vを印加することで電子を浮遊ゲートからトンネル領域下拡散層に引き抜く。さらに読み出しは、制御ゲート708に0V、ソースに709に0V、ドレイン700に約1Vを印加し、記憶トランジスタ702のチャネル電流を見て、情報の有／無を判断する。また、高速論理LSIは半導体基板701上のEEPROM部と素子分離絶縁膜710によってEEPROM領域とそれぞれ分離されて形成されたP-well711中にNMOS、N-well712中にPMOSが形成されている。

【0004】 従来の製造方法を図8(a)乃至(b)を用いて説明する。半導体基板801に素子分離絶縁膜802を形成後、基板を熱酸化して厚い酸化膜803を約30nm形成し高速論理LSI領域を開孔させるフォトリジスト804塗布する。(図8(a))

次に、通常の写真蝕刻を用いて、高速論理LSI(CMOS)領域を基板801が露出するまでエッチングする。熱酸化によって、CMOSのゲート酸化膜805を約11nm形成する。このとき、酸化膜803の膜厚も厚さを増す(803a)が、半導体基板801から成長させるのではないため、膜厚の増加分は約5nmとなる。続いてトンネル酸化膜領域を開孔させるフォトリジスト806を塗布する。(図8(b))

次に、通常の写真蝕刻を用いて、トンネル酸化膜領域を基板801が露出するまでエッチングする。熱酸化によって、トンネル酸化膜807を約9nm形成する。このとき酸化膜413aとCMOSゲート酸化膜805の膜厚も厚さを増す(803b、805a)が、膜厚増加分はそれぞれ約3nm、約4nmである。続いてLPCVD法(減圧CVD法)等により、ゲート電極808を形成後、トランジスタ形成用フォトリジスト809を用いてEEPROMとCMOSを形成する。上記の手順により製造された1層Poly構造EEPROMと高速論理LSIが混載した半導体装置において、トンネル酸化膜807、CMOSゲート酸化膜805aの膜厚はそれぞれ9nm、15nmとなる。(図8(c))

図9にフラッシュEEPROMと高速論理LSIとの1chip上に形成した半導体装置の断面図を示す。記憶トランジスタ902は2層ゲート構造となっており、書き込み時(電子の注入)はソース領域906に0V、ドレイン領域に8V、制御ゲート907にVPPを印加することで浮遊ゲート908に電子が注入される。また、消去時(電子の放出)はこれと逆でソース領域906にVPP、制御ゲート907に0Vを印加することで電子を浮遊ゲート908からソース領域906に引き抜く。さらに読み出しは、制御ゲート907に5V、ソース領域に906に0V、ドレイン領域905に約1Vを印加し、

3

記憶トランジスタ902のチャネル電流を見て、情報の有／無を判断する。また、高速論理LSIは半導体基板901上のEEPROM部と素子分離絶縁膜909によってEEPROM領域とそれぞれ分離されて形成されたP-well910中にNMOS903、N-well911中にPMOS904が形成されている。

【0005】トンネル酸化膜714（図9の場合は912）の膜厚は厚くなれば、書き換えがしにくくなり、薄くなれば書き換えは有利になる。しかし、薄くしすぎるとEEPROMの最も重要な信頼性項目である電荷保持特性を悪化させることになるので、膜厚の上限、下限はかなり厳しい制限を受ける。一方、高速論理CMOSのゲート酸化膜713（図9の場合は913）の膜厚の下限はゲート酸化膜にかかる電界で決定される。これらCMOSは5V電源にて動作するためゲート酸化膜713（図9の場合は913）の膜厚はトランジスタの信頼性を考慮し、十分な耐圧が得られるように決められている。この結果、EEPROMのトンネル酸化膜の膜厚a、周辺CMOSのゲート酸化膜の膜厚bとすると、 $a < b \cdots (1)$ なるよう形成していた。

ここで、

【0009】

【数2】

$$C_{ox} = \frac{\epsilon_0 \epsilon_1 S}{d_1}$$

【0010】ただし、 μ はチャネル内移動度、 C_{ox} はゲート絶縁膜容量、 W はチャネル幅、 L はチャネル長、 V_{GS} はゲート・ソース間電圧、 V_{TH} は閾値、 d_1 は絶縁膜厚、 ϵ_0 は真空の誘電体、 ϵ_1 は絶縁膜の比誘電率、 S

$$\Delta V_{TH} = \frac{(4 \epsilon_s q N_A \phi_B)^{1/2}}{C_i} - \frac{\Delta L}{L_{eff}} \cdots (3)$$

ここで、

【0013】

【数4】

$$C_i = \frac{\epsilon_0 \epsilon_1 S}{d_1}$$

【0014】

【数5】

$$\Delta L = [(X_j + W_j)^2 - W_c^2]^{1/2} - X_j$$

【0015】ただし、 ΔV_{TH} は短チャネル効果による V_{TH} 変化分、 ϵ_s シリコンの比誘電率、 q は電荷量、 N_A はアクセプタ不純物濃度、 ϕ_B は表面ポテンシャル、 C_i は絶縁膜容量、 L_{eff} は実効チャネル長、 X_j は接

4

【0006】低消費電力化にともない、高速論理LSI（CMOS部）の電源電圧は低電圧化の方向にある。例えば電源電圧が3Vの場合、トランジスタのゲート酸化膜の膜厚は約6nm程度まで薄くすることが可能である。一方、トンネル酸化膜の膜厚に関しては前記理由により、適切な膜厚（1層Poly構造EEPROMの場合約8nm以上）が必要である。しかしながら、従来のEEPROMと高速論理LSIとが1チップ上に形成された半導体装置の構造では前記（1）式の関係が成立し、高速論理LSI（CMOS）トランジスタのゲート酸化膜の膜厚は必要以上に厚いものとなっていた。これについては、以下のような問題が生じる。

【0007】第1の問題として、動作速度が遅くなるという欠点がある。通常、簡単な手段として、単体トランジスタの動作速度を見積もるのにドレイン・ソース間電流 I_{DS} を求める。この I_{DS} が大きいと動作速度が大きくなる関係にある。上記 I_{DS} は、通常使用されているトランジスタの飽和領域において、次式で表わすことができる。

20 【0008】

【数1】

は電極面積である。

【0011】上記（2）式によれば、絶縁膜厚 d_1 が大きくなるに伴い I_{DS} が減少する。従ってゲート絶縁膜が厚くなるほどトランジスタの動作速度が遅くなる。第2に近年微細化が進む中で、新たな障害となっている短チャネル効果の問題がある。短チャネル効果の近似式は次式で表わすことができる。

【0012】

【数3】

合深さ、 W_j は接合空乏層幅、 W_c はチャネル空乏層幅である。

40 【0016】上記（3）式によれば、絶縁膜厚 d_1 が大きくなるに伴い、 ΔV_{TH} は大きくなり、短チャネル効果が寄り一層大きくなり、集積化の妨げになる。また、CMOSゲート酸化膜形成時に、フォトレジストの塗布、剥離の工程を含むため、酸化膜内部にフォトレジスト残さが混入されてしまい、酸化膜の信頼性を損ねるといった問題が生じる。

【0017】

【発明が解決しようとする課題】本発明は上記の問題点を鑑みてなされたもので、EEPROMと高速論理LSIとが1チップ上に形成された半導体装置において、信

頼性を維持しつつ、高速論理LSI (CMOS) 部の高速化及び高密度化の実現を目的とするものである。

【0018】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の第1の領域中に第1の絶縁膜と第1の導電性電極と、前記半導体基板の第2の領域中に第2の絶縁膜と第2の導電性膜とを具備し、前記第1の絶縁膜aと、前記第2の絶縁膜の膜厚bが

$$a \leq b \cdots (4)$$

となることを特徴とした半導体装置であり、第1の領域にEEPROMが形成され、第2の領域に高速論理LSI (CMOS) 部が形成される。

【0019】

【発明の実施の形態】以下、図面を参照にして本発明を実施例により説明する。図1は本発明の第1の実施例に係る1層Poly構造のEEPROMと高速論理LSI (CMOS) を1チップに混載した半導体装置の断面図であり、P型半導体基板101上にEEPROM領域と高速論理LSI (CMOS) 領域が形成されている。EEPROM領域内には選択トランジスタ102と記憶トランジスタ103が形成されている。記憶トランジスタ103の浮遊ゲート105の下にはトンネル酸化膜106と高耐圧酸化膜108、浮遊ゲート105-コントロールゲート107間酸化膜109とが存在する。高速論理LSI (CMOS) 領域にはゲート酸化膜110を有するCMOS104が形成されている。図示されていないが、P型半導体基板101中に形成したN-well中にPMOSを、また、P-well中にNMOSを形成してもよい。

【0020】上記酸化膜の膜厚について詳細に説明する。トンネル酸化膜106の膜厚は従来の技術でも述べたとおり、電荷保持特性で決まるので、膜厚の上限、下限はかなり厳しい制約を受ける。このような背景から、本第1の実施例ではトンネル酸化膜106の膜厚は8nm程度でなければならない。高速論理LSI (CMOS) 部のCMOSのゲート酸化膜110は従来の技術でも述べたとおり、薄くすることにより高速化、高密度化の効果が期待できるが、下限値はゲート絶縁膜にかかる電界で決定される。本第1の実施例では高速論理LSI (CMOS) 部の電源電圧は3Vなので、CMOSのゲート酸化膜は6nm程度まで可能であるが、本実施例では8nmとする。

【0021】以上述べたように、トンネル酸化膜の膜厚a、CMOSのゲート酸化膜の膜厚bの関係は、

$$a = b \cdots (5)$$

となる。

【0022】図2(a)乃至(b)は上記図1における半導体装置の製造工程を示した断面図である。半導体基板201に素子分離絶縁膜202を形成後、基板を熱酸化して厚い酸化膜203を約30nm形成した後、トン

ネル酸化膜領域及び高速論理LSI領域を開孔するフォトリソ204を塗布する。(図2(a))

次に、通常の写真蝕刻を用いて、トンネル酸化膜領域及び高速論理LSI (CMOS) 領域を基板201が露出するまでエッチングする。熱酸化によって、薄い酸化膜205を形成する。このとき、酸化膜203の膜厚も若干厚さを増す(203a)。続いて、LPCVD法(減圧CVD法)等によりゲート電極206を形成後、トランジスタ形成用フォトリソ207を用いてEEPROMとCMOSを形成する。(図2(b))この場合にゲート電極材料は、ポリシリコンをリンを含むガスで熱処理することにより導電型にしているが、W、MoSi₂などを一部用いていわゆるポリサイド構造であっても構わない。さらにはチタン等を積層して、サリサイド構造を用いても構わない。

【0023】図3は第1の実施例の半導体装置のトンネル酸化膜の膜厚aとCMOSのゲート酸化膜の膜厚bの関係が

$$a > b \cdots (6)$$

となる半導体装置の断面図であり、P型半導体基板301上にEEPROM領域と高速論理LSI (CMOS) 領域が形成されている。EEPROM領域内には選択トランジスタ302と記憶トランジスタ303が形成されている。記憶トランジスタ303の浮遊ゲート305の下にはトンネル酸化膜306と高耐圧酸化膜307浮遊ゲート305-コントロールゲート309間酸化膜308とが存在する。高速論理LSI (CMOS) 領域にはゲート酸化膜310を有すCMOS304が形成されている。図示されていないが、P型半導体基板301中に形成したN-well中にPMOSを、また、P-well中にNMOSを形成してもよい。

【0024】トンネル酸化膜306の膜厚は第1の実施例同様、8nmとする。高速論理LSI (CMOS) 部のCMOSのゲート酸化膜310の膜厚は本実施例では下限値6nmとする。

【0025】図4(a)乃至(b)は上記図3における半導体装置の製造工程を示した断面図である。半導体基板401に素子分離絶縁膜402を形成後、基板を熱酸化して厚い酸化膜403を約30nm形成した後、トンネル酸化膜領域、浮遊ゲート-コントロールゲート間酸化膜領域及び高速論理LSI領域を開孔するフォトリソ404を塗布する。(図4(a))

次に、通常の写真蝕刻を用いて、トンネル酸化膜領域、浮遊ゲート-コントロールゲート間酸化膜及び高速論理LSI (CMOS) 領域を基板401が露出するまでエッチングする。熱酸化によって、薄い酸化膜405を形成する。このとき、酸化膜403の膜厚も若干厚さを増す(403a)。続いて、高速論理LSI形成予定領域を開孔するフォトリソ406を塗布する。(図4(b))

次に、通常の写真蝕刻を用いて、高速論理LSI（CMOS）領域を基板401が露出するまでエッチングする。熱酸化によって、薄い酸化膜407を形成する。このとき、酸化膜403a、405の膜厚も若干厚さを増す（403b、405a）。LPCVD法（減圧CVD法）等によりゲート電極408を形成後、トランジスタ形成用フォトレジスト409を用いてEEPROMとCMOSを形成する。（図4（c））この場合に第1の実施例同様、ゲート電極材料は、ポリシリコンをリンを含むガスで熱処理することにより導電型にしているが、W、MoSi₂などを一部用いていわゆるポリサイド構造であっても構わない。さらにはチタン等を積層して、ポリサイド構造を用いても構わない。

【0026】図5は本発明の第3の実施例に係る2層Poly構造のEEPROMと高速論理LSI（CMOS）を1チップに混載した半導体装置の断面図であり、P型半導体基板501上にEEPROM領域と高速論理LSI（CMOS）領域が形成されている。本実施例のEEPROMは制御ゲート502、浮遊ゲート503の2層ゲート構造を有し、トンネル酸化膜504を介して、チャネルホットエレクトロン注入法により書き込みを行い、トンネル法により消去を行う、スタック構造のNOR型フラッシュEEPROMである。高速論理LSIは半導体基板501上のEEPROM部と素子分離絶縁膜505によってEEPROM領域とそれぞれ分離されて形成されたP-well506中にゲート酸化膜510を有するNMOS508、N-well507中にゲート酸化膜511を有するPMOS509が形成されている。

【0027】フラッシュEEPROMは読み出し時に、制御ゲート502にVCC（例えば5V）が印加されるため、トンネル酸化膜504の膜厚は11nmなければならない。本第3の実施例では高速論理LSI（CMOS）部の電源電圧は3Vなので、CMOSのゲート酸化膜は6nm程度まで可能であるが、本実施例では8nmとする。

【0028】6図は上記図5における半導体装置の製造工程を示した断面図である。半導体基板601に素子分離絶縁膜602を形成後、基板を熱酸化して酸化膜603を約11nm形成した後、第1のポリシリコン604を堆積し、リンを含んだガスにて熱処理を行う。浮遊ゲートとなる第1のポリシリコン電極604をビットライン方向にスリット状にエッチングし、酸化膜/窒化膜/酸化膜構造の堆積層605を形成する。続いて、高速論理LSI領域を開孔するフォトレジスト606を塗布する。（図2（a））

次に、通常の写真蝕刻を用いて、高速論理LSI（CMOS）領域を基板601が露出するまでエッチングする。熱酸化によって、薄い酸化膜607を形成する。前記酸化膜607上にポリシリコン電極608を形成しリ

ンを含んだガスで導電型にする。トランジスタ形成用フォトレジスト609を用いてEEPROMとCMOSを形成する。この場合も、第2の導電膜608にポリサイド、サリサイド構造を用いても構わない。また、トンネル絶縁膜603、CMOSゲート絶縁膜607にオキシナイトライドを用いても構わない。

【0029】以上説明したように、トンネル酸化膜、CMOSゲート酸化膜の膜厚は各々のトランジスタについて最高の性能が引き出せる用に設計されているので、メモリセルにおいては信頼性を維持しつつ、高速論理LSI部においては、動作速度を向上させ、しかも、集積度も向上させることができる。

【0030】また第1、第3の実施例によれば、トンネル酸化膜とCMOSゲート酸化膜を同時に形成することができ、前記酸化膜形成時においてフォトレジストの塗布、剥離の工程を含まないので酸化膜の信頼性はいっそう向上する。

【0031】第2の実施例によれば、トンネル酸化膜形成時においてフォトレジストの塗布、剥離の工程を含むが、CMOSゲート酸化膜の膜厚を下限値まで下げることにより、高速動作がいっそう向上する。

【0032】

【発明の効果】本発明をによれば、EEPROMと高速論理LSIとが1チップ上に形成された半導体装置において、信頼性を維持しつつ、高速論理LSI（CMOS）部の高速化及び高密度化の実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置の断面図である。

【図2】本発明の第1の実施例に係る半導体装置の製造方法を示した断面図である。

【図3】本発明の第2の実施例に係る半導体装置の断面図である。

【図4】本発明の第2の実施例に係る半導体装置の製造方法を示した断面図である。

【図5】本発明の第3の実施例に係る半導体装置の断面図である。

【図6】本発明の第3の実施例に係る半導体装置の製造方法を示した断面図である。

【図7】従来の半導体装置の断面図である。

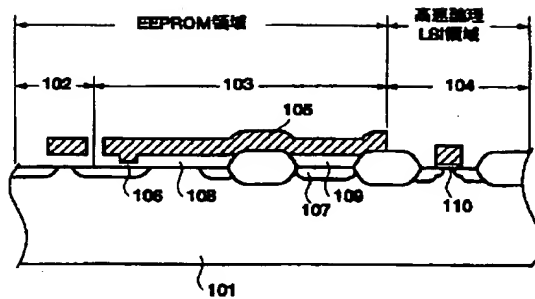
【図8】従来の半導体装置の製造方法を示した断面図である。

【図9】従来の半導体装置の断面図である。

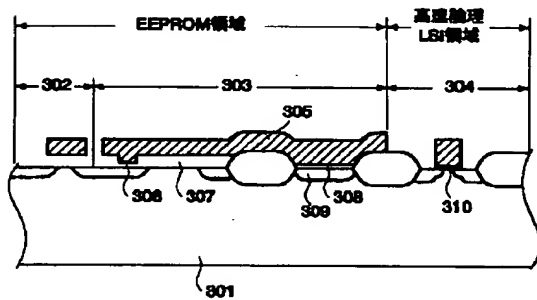
【符号の説明】

106	トンネル酸化膜
110	CMOSゲート酸化膜
306	トンネル酸化膜
310	CMOSゲート酸化膜
714	トンネル酸化膜
713	CMOSゲート酸化膜

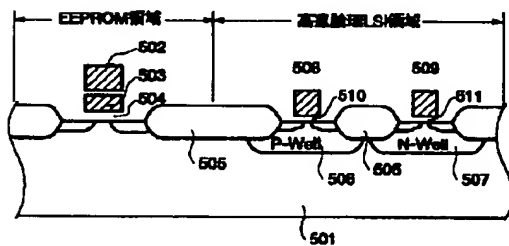
【図1】



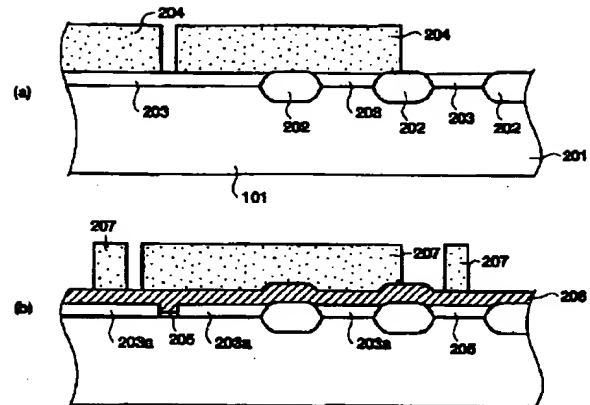
【図3】



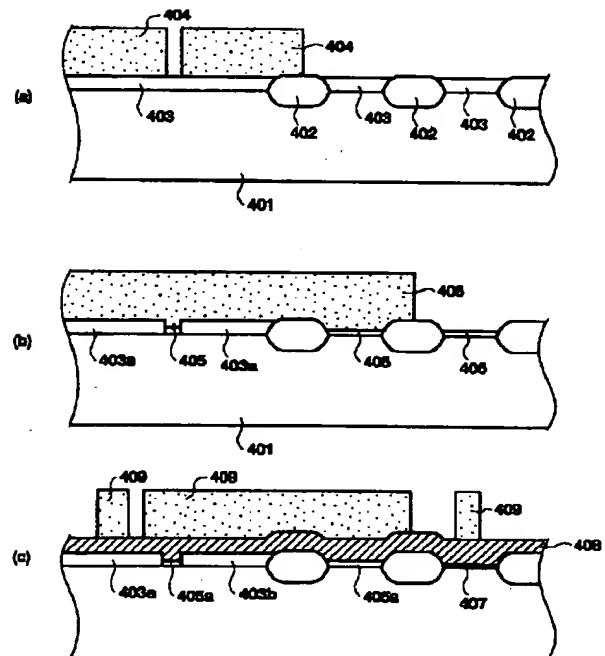
【図5】



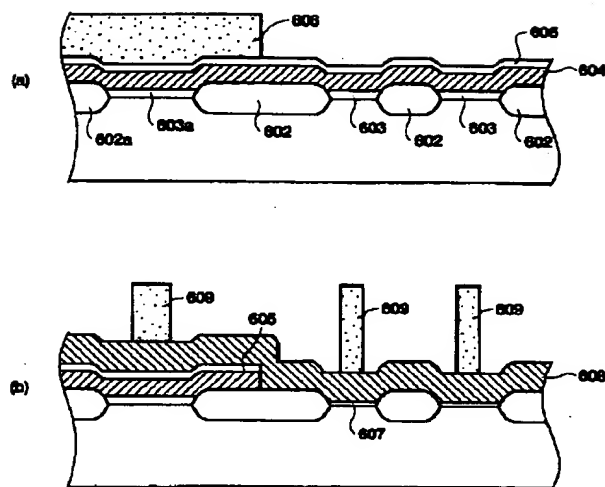
【図2】



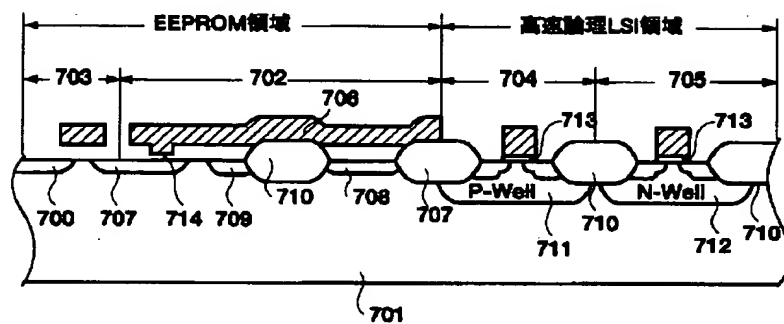
【図4】



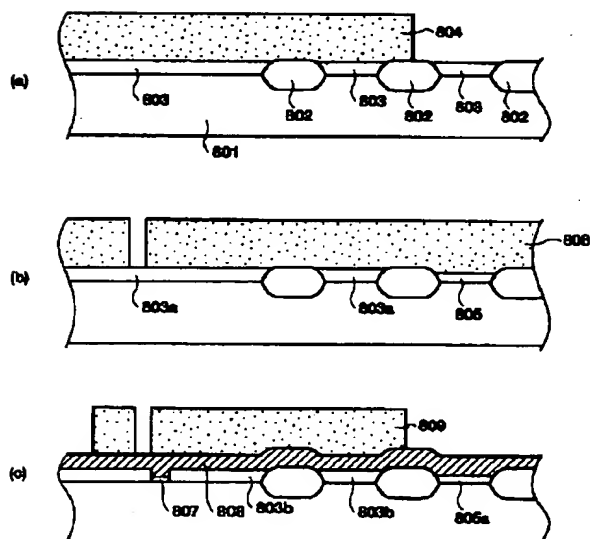
【図6】



【図7】



【図8】



【図9】

